
第7章 リセット

ハイライト

本章では次のトピックについて説明します。

7.1	はじめに.....	7-2
7.2	リセット時のクロック源の選択.....	7-4
7.3	電源オンリセット (POR).....	7-4
7.4	MCLR リセット.....	7-6
7.5	ソフトウェア RESET 命令 (SWR).....	7-6
7.6	ウォッチドッグタイムアウトリセット (WDTR).....	7-6
7.7	ブラウンアウトリセット (BOR).....	7-7
7.8	コンフィギュレーション不一致リセット.....	7-7
7.9	トラップ衝突リセット.....	7-7
7.10	不正命令リセット.....	7-7
7.11	未初期化 W レジスタリセット.....	7-7
7.12	レジスタとステータスのビットの値.....	7-8
7.13	デバイスリセットからコード実行開始までの時間.....	7-9
7.14	特殊機能レジスタのリセット状態.....	7-14
7.15	電気的特性.....	7-15
7.16	設計の秘訣.....	7-17
7.17	関連するアプリケーションノート.....	7-18
7.18	改版履歴.....	7-19

7.1 はじめに

リセット モジュールは、すべてのリセット要因を結合し、デバイス マスタ リセット信号 **SYSRST** を制御します。デバイス リセット要因リストは次のようになります。

- **POR**: 電源オン リセット
- **MCLR**: ピン リセット
- **SWR**: RESET 命令
- **WDTR**: ウォッチ ドッグ タイマ リセット
- **BOR**: ブラウンアウト リセット
- **CM**: コンフィギュレーション 不一致リセット
- **TRAPR**: トラップ衝突リセット
- **IOPUWR**: 不正命令 / 未初期化 W レジスタリセット

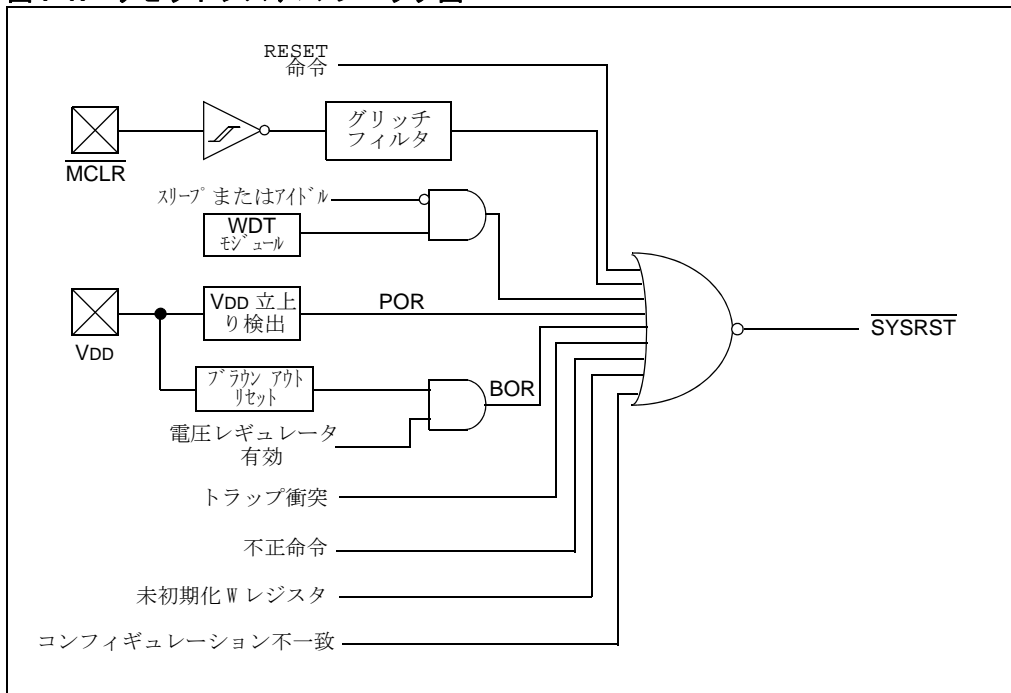
図 7-1 に簡略化したリセット モジュールのブロック図を示します。いずれかのリセット要因がアクティブになると、**SYSRST** 信号がアクティブになります。CPU や周辺モジュールに関連する多くのレジスタが強制的に既知の「リセット状態」にされます。しかし、大部分のレジスタはリセットに影響されず、**POR** では不定となり、その他のリセットでは変化しません。

注: レジスタのリセット状態については、本マニュアルの特定の周辺モジュールまたは CPU の項を参照して下さい。

すべてのデバイス リセットは、**RCON** レジスタの対応するビットをセットして、リセットのタイプを表します (レジスタ 7-1 参照)。電源オンリセットにより、**BOR** と **POR** ビット (**RCON**<1:0>) を除く全ビットがクリアされます。ユーザーはコード実行中にどのビットもセットあるいはクリアできます。**RCON** ビットはステータスだけを表します。ソフトウェアで特定のビットをセットしても、リセット動作は起きません。

また、**RCON** レジスタには、ウォッチ ドッグ タイマとデバイスの省電力状態に関連するビットもあります。これらのビットのさらなる情報については **7.12.1 項「RCON ステータス ビットの使い方」** を参照して下さい。

図 7-1: リセットシステム ブロック図



レジスタ 7-1: RCON: リセット制御レジスタ

R/W-0 HS	R/W-0 HS	U-0	U-0	U-0	U-0	R/W-0 HS	R/W-0
TRAPR	IOPUWR	—	—	—	—	CM	VREGS
ビット 15						ビット 8	

R/W-0 HS	R/W-0 HS	R/W-0	R/W-0 HS	R/W-0 HS	R/W-0	R/W-1 HS	R/W-1 HS
EXTR	SWR	SWDTEN ⁽¹⁾	WDTO	SLEEP	IDLE	BOR	POR
ビット 7						ビット 0	

凡例: R = 読み出し可 -n = POR 後の値	U = 未実装、読むと「0」 W = 書き込み可 '1' = セット	HS = ハードウェアでセット '0' = クリア x = 不定
---	--	--

- ビット 15 **TRAPR:** トラップリセットフラグビット
 1 = トラップ衝突リセットが発生した
 0 = トラップ衝突リセットは発生していない
- ビット 14 **IOPUWR:** 不正命令または未初期化 W レジスタアクセスリセットフラグビット
 1 = 不正命令が検出されたか、不正アドレスモードまたは未初期化 W レジスタのアドレスポインタ使用によりリセットが発生した
 0 = 不正命令または未初期化 W レジスタリセットは発生していない
- ビット 13-10 **未実装:** 読むと「0」
- ビット 9 **CM:** コンフィギュレーション不一致フラグビット
 1 = コンフィギュレーション不一致リセットが発生した
 0 = コンフィギュレーション不一致リセットは発生していない
- ビット 8 **VREGS:** 電圧レギュレータスタンバイ有効化ビット
 1 = スリープ中もレギュレータをアクティブとする
 0 = スリープ中はレギュレータをスタンバイとする
- ビット 7 **EXTR:** 外部リセット (MCLR) ピンビット
 1 = マスタクリア (ピンの) リセットが発生した
 0 = マスタクリア (ピンの) リセットは発生していない
- ビット 6 **SWR:** ソフトウェア RESET (命令) フラグビット
 1 = RESET 命令が実行された
 0 = RESET 命令は実行されていない
- ビット 5 **SWDTEN:** WDT のソフトウェアによる有効化 / 無効化制御ビット ⁽¹⁾
 1 = WDT をオンにする
 0 = WDT をオフにする
- ビット 4 **WDTO:** ウォッチドッグタイマタイムアウトフラグビット
 1 = WDT タイムアウトが発生した
 0 = WDT タイムアウトは発生していない
- ビット 3 **SLEEP:** スリープからのウェイクフラグビット
 1 = デバイスはスリープモードであった
 0 = デバイスはスリープモードではなかった
- ビット 2 **IDLE:** アイドルからのウェイクアップフラグビット
 1 = デバイスはアイドルモードであった
 0 = デバイスはアイドルモードではなかった
- ビット 1 **BOR:** ブラウンアウトリセットフラグビット
 1 = ブラウンアウトリセットが発生した。BOR は電源オンリセット後にセットされることに注意
 0 = ブラウンアウトリセットは発生していない
- ビット 0 **POR:** 電源オンリセットフラグビット
 1 = 電源オンリセットが発生した
 0 = 電源オンリセットは発生していない

注 1: SWDTEN コンフィギュレーションビットがセットされた (プログラムされていない) 場合は、SWDTEN ビットの設定によらず WDT は常に有効。

7.2 リセット時のクロック源の選択

クロック切り替えが有効化 (OSWEN) されている場合、デバイス リセット時に表 7-1 に示したようにシステム クロックが選択されます。クロック切り替えが無効の場合には、システム クロック源は常に発振器コンフィギュレーション ビットによって選択されます。詳細は第 6 章「発振器」を参照して下さい。

表 7-1: リセットタイプ別発振器の選択 (クロック切り替え有効な場合)

リセット タイプ	クロック源選択基準
POR	発振器コンフィギュレーション ビット (FNOSC2:FNOSC0)
BOR	
CM	
MCLR	COSC 制御ビット (OSCCON<14:12>)
WDTR	
SWR	
TRAPR	
IOPUWR	

7.3 電源オン リセット (POR)

POR はコア電源供給をモニタし、正しくチップが動作するのに十分な電圧レベルかを確認しています。電源オン リセット (POR) に関連して 2 つの閾値電圧があります。最初の電圧はデバイス閾値電圧 V_{POR} です。デバイス閾値電圧は、POR モジュールが動作可能になる電圧です。POR イベントに関連する 2 番目の電圧は、POR 回路閾値電圧です。正しい閾値が検出されると電源オン イベントが発生し、電流消費を最小にするため POR モジュールは停止します。

電源オン イベントで、 V_{DD} の立上りを検出すると内部電源オン リセット パルスを生成します。デバイスの供給電圧特性は、POR パルスを生成するために開始電圧と立上がり速度の要求仕様を満たす必要があります。特に V_{DD} は新たな POR が起動される前に、 V_{POR} 以下まで下がっている必要があります。 V_{POR} と V_{DD} の立上がり速度の仕様に関するさらなる情報は、個別のデバイスのデータ シートの「電気的特性」を参照してください。

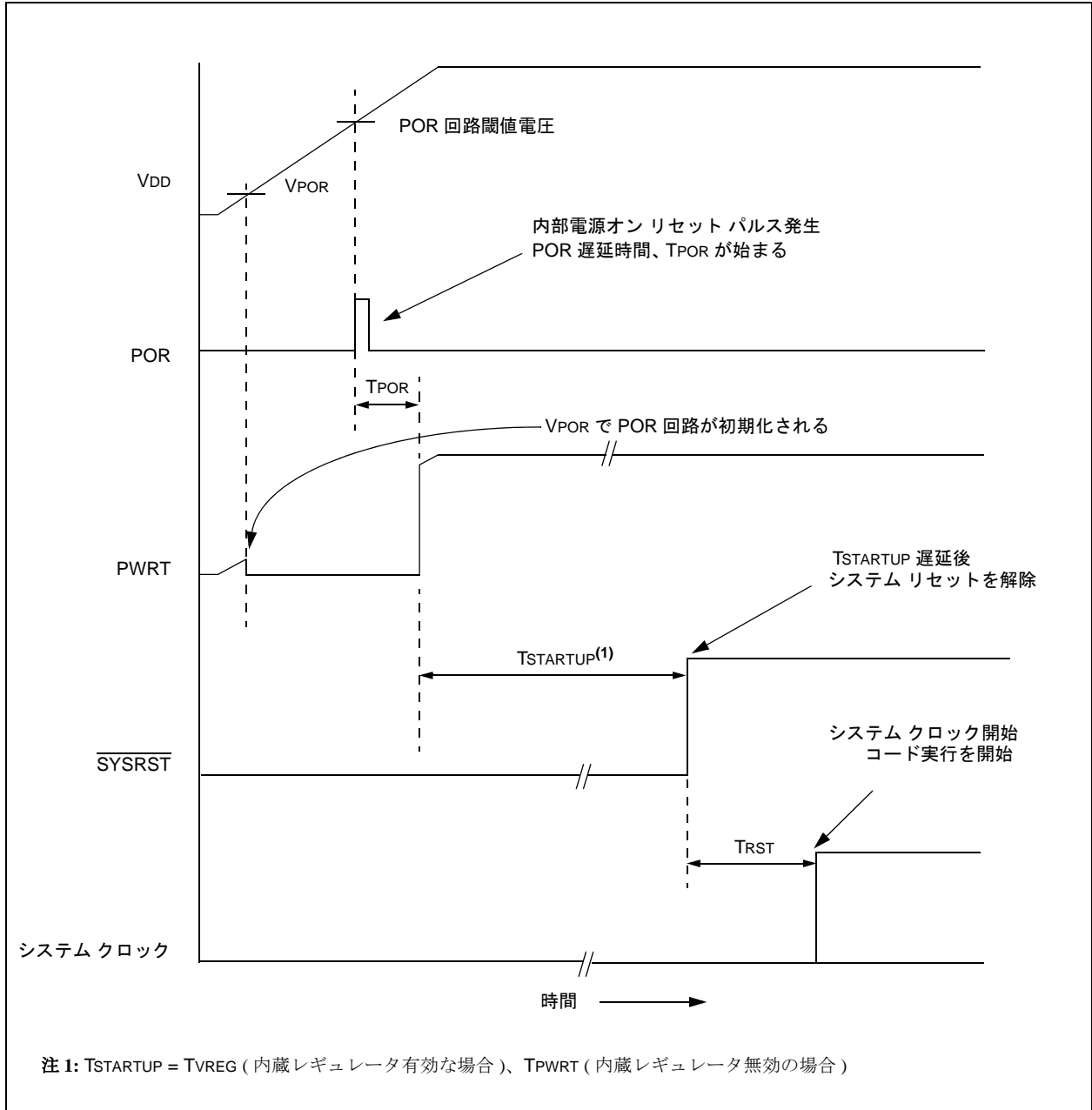
POR パルスは POR タイマをリセットし、デバイスをリセット状態にします。また、POR は、発振器コンフィギュレーション ビットにより指定されたデバイス クロック源を選択します。

電源オン リセット パルスが生成された後、POR 回路は小さな遅延 T_{POR} (標準は $10 \mu s$) を挿入し、内部デバイスのバイアス回路を安定化させます。 T_{POR} が経過したあとにさらに遅延 $T_{STARTUP}$ が常に挿入されます。 $T_{STARTUP}$ パラメータは、内蔵レギュレータの有効/無効に依存します。内蔵レギュレータが有効な場合は約 $10 \mu s$ で、この間に適正な電圧レベルを生成するようにします。この間コード実行は禁止されます。 $T_{STARTUP}$ はデバイスがどの省電力モードから復帰する場合でも常に挿入されます。レギュレータが無効の場合には、別のパワー アップ タイム ($PWRT$) が自動的に有効となります。 $PWRT$ は、デバイス スタート アップに標準で $64 ms$ の遅延を追加します。パワー アップ タイマは、内蔵レギュレータが無効で、コアが外部電源から電源供給されている場合に、パワー アップシーケンスの時間延長に使用されます。こうして $T_{STARTUP}$ 遅延は、内蔵レギュレータ出力遅延、 T_{VREG} となるか、パワー アップ タイマ遅延、 T_{PWRT} のどちらかとなります。電源オン イベントは、BOR と POR ステータス ビット ($RCON<1:0>$) をセットします。

コード実行は、さらに小さな遅延、 $Trst$ だけ遅れます。 $Trst$ 遅延は、デバイス リセット後に必ず行う、コンフィギュレーション値をプログラム メモリ内フラッシュ コンフィギュレーション ワードから、コンフィギュレーション レジスタへ転送するために必要とされます。 $SYSRST$ が解除されて、デバイスのリセット状態が開放されても、図 7-2 に示すように、デバイス クロックはさらに $Trst$ 間動作が禁止されます。このすべての遅延の後、システムクロックが供給されコード実行が開始可能となります。

遅延パラメータの値に関するさらなる情報は 7.15 項「電気的特性」を参照して下さい。

図 7-2: VDD 立上り時の POR モジュールのタイミング シーケンス



注：デバイスがリセット状態を抜けたとき（通常動作に入る）には、デバイス動作パラメータ（電圧、周波数、温度等々）が動作範囲内になっていなければなりません。そうでなければデバイスは正常に動作しません。ユーザーは電源が最初に供給された時から **SYSRST** が無効になるまでの間の遅延時間を、すべての動作パラメータが仕様内になるように十分長く取る必要があります。

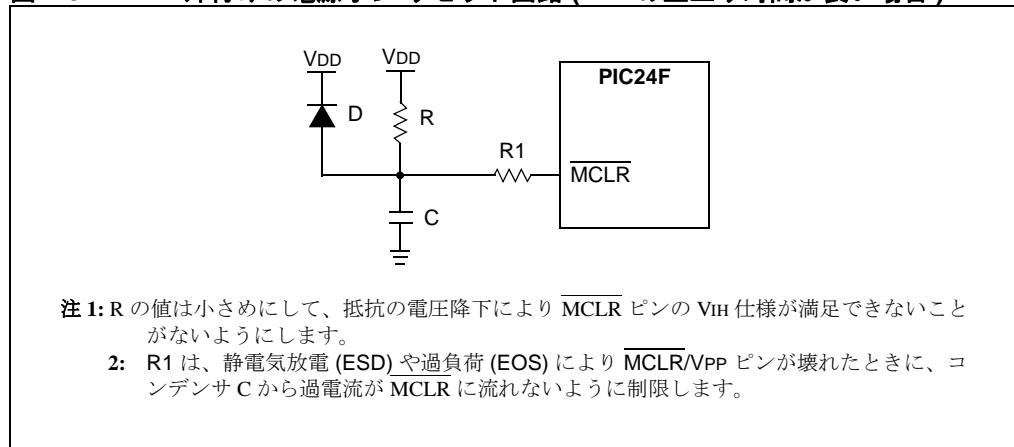
7.3.1 POR 回路の使い方

POR 回路を有効に利用するために、 $\overline{\text{MCLR}}$ ピンを直接 V_{DD} に接続します。これにより電源オンリセット遅延を生成するために通常必要な外付け RC 部品をなくすことができます。この場合には V_{DD} の最小立上がり時間が必要になります。さらなる情報については個別デバイスのデータシートの「電気的特性」の章を参照してください。

アプリケーションによっては、 $\overline{\text{MCLR}}$ ピンと V_{DD} ピンの間に抵抗が必要になるかもしれません。この抵抗は $\overline{\text{MCLR}}$ ピンをノイズの多い電源供給ラインから離すために用いられます。

図 7-3 に電源立上がりが遅い場合の POR 回路例を示します。デバイス V_{DD} が有効な動作領域に入る前にデバイスがリセット状態を抜けてしまう場合のみ、外部パワーオンリセット回路が必要になります。ダイオード D は、 V_{DD} パワーダウン時に、コンデンサ C を急速に放電するようにします。

図 7-3: 外付けの電源オンリセット回路 (V_{DD} の立上り時間が長い場合)



7.4 $\overline{\text{MCLR}}$ リセット

$\overline{\text{MCLR}}$ ピンがローにドライブされている時は常に、 $\overline{\text{MCLR}}$ への入力パルスがある最小幅 SY10 (7.15 項「電気的特性」参照) より長い場合、デバイスは非同期で $\overline{\text{SYSRST}}$ を発生します。 $\overline{\text{MCLR}}$ ピンが解除されると、 $\overline{\text{SYSRST}}$ も解除されます。 $\overline{\text{SYSRST}}$ が解除されてから TrST 遅延が経過した後、リセットベクタのフェッチが始まります。プロセッサは $\overline{\text{MCLR}}$ リセットが発生する前に使用されていたクロック源を使い続けます。 $\overline{\text{EXTR}}$ ステータスビット ($\text{RCON}\langle 7 \rangle$) が、 $\overline{\text{MCLR}}$ リセットを示すためにセットされます。

7.5 ソフトウェア RESET 命令 (SWR)

RESET 命令が実行されると常に、デバイスは $\overline{\text{SYSRST}}$ を発生します。このリセットではクロックの再初期化を行いません。RESET 命令前の実行クロック源がそのまま有効となります。 $\overline{\text{SYSRST}}$ は次の命令サイクルで解除され、 TrST 遅延だけの後にリセットベクタのフェッチが始まります。

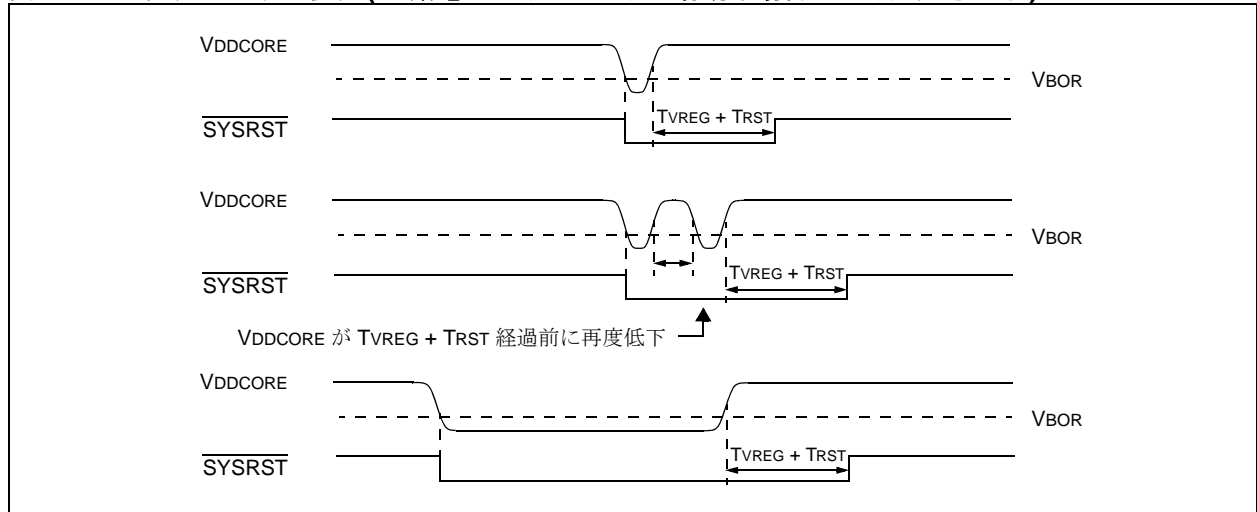
7.6 ウォッチ ドッグ タイムアウト リセット (WDTR)

ウォッチ ドッグ タイムアウトの際は常に、デバイスは非同期的で $\overline{\text{SYSRST}}$ を発生します。クロック源は変化しません。スリープモードもしくはアイドルモード中の WDT タイムアウトはプロセッサをウェイクアップしますが、プロセッサのリセットは行わない点に注意してください。さらなる情報は第 9 章「ウォッチ ドッグ タイムアウト (WDT)」を参照してください。

7.7 ブラウンアウトリセット (BOR)

内蔵レギュレータが有効な場合には、PIC24F ファミリ デバイスは単純なブラウンアウト機能を持っています。BOR は、内蔵レギュレータを使っている場合だけ有効です。レギュレータへの供給電圧が、調整レベルを維持するのに不十分な値になった場合には、レギュレータリセット回路がブラウンアウトリセットを生成します。このイベントは、BOR フラグビット (RCON<0>) をセットします。詳しくは 7.15 項「電气的特性」を参照して下さい。

図 7-4: ブラウンアウト状況 (内蔵電圧レギュレータが有効な場合にだけ適用される)



7.8 コンフィギュレーション不一致リセット

格納されているコンフィギュレーション値の正当性を保つため、全デバイス コンフィギュレーションビットは、その補数セットを実装しています。各ビットのレジスタ内の実際の値の 0 と 1 を反転させた値を、それぞれのバック グランドレジスタに格納しています。このビットペアはスリープモードの時を含め毎回比較チェックされます。この比較時に、コンフィギュレーションビットの値が互いに反対でない場合に、コンフィギュレーション不一致イベントが発生し、デバイスをリセットします。

コンフィギュレーション不一致によるデバイスリセットが起きると、CM ステータスビット (RCON<9>) がセットされます。

7.9 トラップ衝突リセット

ハードトラップとソフトトラップが同時に起きたときトラップ衝突リセットが発生します。このイベントでは、TRAPR ステータスビット (RCON<15>) がセットされます。トラップに関するさらなる情報については第 8 章「割り込み」を参照して下さい。

7.10 不正命令リセット

プログラムメモリから取り込まれた不正命令をデバイスが実行しようとするときデバイスリセットが発生します。不正命令の結果デバイスリセットが発生したら、IOPUWR ステータスビット (RCON<14>) がセットされます。不正命令リセット機能は、デバイスが定数データを格納するために使用したプログラムメモリセクションを実行することを防止します。不正命令リセットを効果的に使うためには、データ値を格納するときに、プログラムメモリの下位 16 ビットのみを使用します。そして上位 8 ビットには、不正命令コードである 0x3F をプログラムします。

7.11 未初期化 W レジスタ リセット

W レジスタアレイ (W15 を除く) はすべてのリセットでクリアされ、何か書き込まれるまで未初期化とみなされます。未初期化のレジスタをアドレスポインタとして使おうとすると、デバイスリセットが起き、IOPUWR ステータスビット (RCON<14>) がセットされます。

7.12 レジスタとステータスのビットの値

表 7-2 に示したように、異なるリセット状態に応じて RCON レジスタのステータス ビットがセットまたはクリアされます。

表 7-2: RCON レジスタのステータス ビット、その意味と初期化状態

状 態	プログラム カウンタ	TRAPR	IOPUWR	EXTR	SWR	WDTO	SLEEP	IDLE	CM	BOR	POR	STKEPR
電源オン リセット	000000h	0	1	1	1	0	0	0	u	1	1	0
RESET 命令	000000h	0	0	0	1	0	0	0	u	0	0	0
ブラウンアウトリセット	000000h	0	0	0	0	0	0	0	u	0	0	0
実行モード中の $\overline{\text{MCLR}}$	000000h	0	0	1	0	0	0	0	u	0	0	0
アイドルモード中の $\overline{\text{MCLR}}$	000000h	0	0	1	0	0	0	1	u	0	0	0
スリープモード中の $\overline{\text{MCLR}}$	000000h	0	0	1	0	0	1	0	u	0	0	0
実行モード中の WDT タイムアウトリセット	000000h	0	0	0	0	1	0	0	u	0	0	0
アイドルモード中の WDT タイムアウトリセット	PC + 2	0	0	0	0	1	0	0	u	0	0	0
スリープモード中の WDT タイムアウトリセット	PC + 2	0	0	0	0	1	1	1	u	0	0	0
スタックオーバーフローリ セット	000000h	0	0	0	0	0	0	0	u	0	0	1
スタックアンダーフローリ セット	000000h	0	0	0	0	0	0	0	u	0	0	1
トラップイベントリセット	000000h	1	0	0	0	0	0	0	u	0	0	0
不正命令 / 未初期化 WREG	000000h	0	1	0	0	0	0	0	u	0	0	0
コンフィギュレーション ワード不一致リセット	000000h	u	u	u	u	u	u	u	1	u	u	u
割り込みによる アイドルモードからの復帰	PC + 2 ⁽¹⁾	0	0	0	0	0	0	1	u	0	0	0
割り込みによる スリープモードからの復帰	PC + 2 ⁽¹⁾	0	0	0	0	0	1	0	u	0	0	0
アイドルモード (PWRSAV 1 の実行)	PC + 2	0	0	0	0	0	0	1	u	0	0	0
スリープモード (PWRSAV 0 の実行)	PC + 2	0	0	0	0	0	1	0	u	0	0	0

凡例：u = 変化なし

注 1: 割り込み優先度が CPU 割り込み優先度に等しいか低い場合には、プログラムカウンタには PC + 2 がロードされます。割り込み優先度が CPU 割り込み優先度より高い場合には、プログラムカウンタには、ハードウェアベクタアドレスがロードされます。

7.12.1 RCON ステータス ビットの使い方

ユーザーは何らかのデバイス リセットが起きたあと、RCON レジスタを読み出してリセット要因を知ることができます。表 7-3 に、リセットフラグ ビットの動作をまとめています。

注：RCON レジスタのステータス ビットは、読み出したあとクリアして、次のデバイス リセット後の RCON レジスタ値が区別できるようにします。

表 7-3: リセット フラグ ビットの動作

フラグ ビット	セット要因	クリア要因
TRAPR (RCON<15>)	トラップ衝突イベント	POR
IOPWR (RCON<14>)	不正命令または 未初期化 W レジスタ アクセス	POR
EXTR (RCON<7>)	MCLR リセット	POR
SWR (RCON<6>)	RESET 命令	POR
WDTO (RCON<4>)	WDT タイムアウト	PWRSV 命令, POR
SLEEP (RCON<3>)	PWRSV #SLEEP 命令	POR, CLRWDT 命令
IDLE (RCON<2>)	PWRSV #IDLE 命令	POR, CLRWDT 命令
BOR (RCON<1>)	POR, BOR	—
POR (RCON<0>)	POR	—

注：すべてのフラグ ビットがユーザー ソフトウェアでセット、クリア可能。

7.13 デバイス リセットからコード実行開始までの時間

リセット イベント終了時点からデバイスが実際にコード実行を開始するまでの時間は、2つの主要素で決まります。つまり、リセットのタイプと、リセット後に使うクロック源です。種々のデバイス リセットタイプごとのコード実行開始時間を表 7-4 にまとめています。個々の遅延規格については、7.15 項「電気的特性」を参照して下さい。

表 7-4: 各種デバイス リセットごとのコード実行開始時間

リセットタイプ	クロック源	コード実行遅延	システム クロック遅延	FSCM 遅延	備考
POR	EC, FRC, FRCDIV, LPRC	TPOR + TSTARTUP + TRST	—	—	1, 2, 3
	ECPLL, FRCPLL	TPOR + TSTARTUP + TRST	TLOCK	TFSCM	1, 2, 3, 5, 6
	XT, HS, SOS	TPOR + TSTARTUP + TRST	TOST	TFSCM	1, 2, 3, 4, 6
	XTPLL	TPOR + TSTARTUP + TRST	TOST + TLOCK	TFSCM	1, 2, 3, 4, 5, 6
BOR	EC, FRC, FRCDIV, LPRC	TSTARTUP + TRST	—	—	2, 3
	ECPLL, FRCPLL	TSTARTUP + TRST	TLOCK	TFSCM	2, 3, 5, 6
	XT, HS, SOS	TSTARTUP + TRST	TOST	TFSCM	2, 3, 4, 6
	XTPLL	TSTARTUP + TRST	TOST + TLOCK	TFSCM	2, 3, 4, 5, 6
MCLR	全クロック	TRST	—	—	3
WDT	全クロック	TRST	—	—	3
ソフトウェア	全クロック	TRST	—	—	3
不正命令	全クロック	TRST	—	—	3
未初期化 W	全クロック	TRST	—	—	3
トラップ衝突	全クロック	TRST	—	—	3

注 1: TPOR = 電源オン リセット遅延

2: TSTARTUP = TVREG (内蔵レギュレータ有効) または TPWRT (内蔵レギュレータ無効)

3: TRST = 内部ステート リセット時間 (標準 20 μs)

4: TOST = 発振器スタート アップ タイム

5: TLOCK = PLL ロック時間

6: TFSCM = フェール セーフ クロック モニタ遅延

電源オンリセットでは、システムリセット信号 $\overline{\text{SYSRST}}$ は POR 遅延 (T_{POR}) と T_{STARTUP} 遅延時間が経過した後に解除されます。ブラウンアウトリセットでは、 $\overline{\text{SYSRST}}$ は T_{STARTUP} 遅延時間経過後に解除されます。その他のリセットでは、システムリセット信号 $\overline{\text{SYSRST}}$ は、リセット条件がなくなると直ぐ解除されます。すべてのリセットで、 $\overline{\text{SYSRST}}$ が開放されると TRST 遅延が始まり、 TRST 経過後にコード実行が開始されます。

デバイスが実際にコード実行を開始する時間は、システム発振器の遅延にも影響され、これには発振器スタートアップタイム遅延 (T_{OST}) と、PLL ロック時間 (T_{LOCK}) が含まれます。OST と PLL ロック時間は適切なコード実行遅延時間と同等になります。

7.13.1 POR と発振器スタートアップ時間が長い場合

発振器スタートアップ回路とそれに関連する遅延タイムは、パワーアップ時に発生するデバイスリセット遅延とは関連しません。あるクリスタル発振回路 (特に低周波数のクリスタル発振器) は、比較的長いスタートアップ時間となります。したがって $\overline{\text{SYSRST}}$ 解除後に次の 1 つもしくはそれ以上の状況が考えられます

- 発振回路が発振を開始しない
- 発振器スタートアップタイムがタイムアップしない (クリスタル発振器の場合)
- PLL がロックしない (PLL を使用している場合)

デバイスは有効なクロック源がシステムに供給されるまでコードの実行を開始しません。したがって、リセット遅延時間を知る必要がある時には、発振器や PLL スタートアップ遅延も考慮する必要があります。

7.13.2 フェールセーフクロックモニタ (FSCM) とデバイスリセット

フェールセーフクロックモニタ (FSCM) は、発振器に不具合があってもデバイスの動作を継続させられるように設計されています。FSCM 機能は、FOSC (発振器コンフィギュレーション) レジスタの $\text{FCKSM}\langle 1:0 \rangle$ ビットをクリアすることで有効になります。FSCM が有効化されると、通常実行中とアイドルモード中に動作します。スリープモードでは動作しません。

FSCM が有効化されると、LPRC 内蔵発振器が常時 (スリープ中を除き) 動作し、 SWDTEN ビットの制御対象にはなりません。LPRC 発振器が常時動作していることで、消費電力が若干増加します。

FSCM クロックは 4 kHz で、LPRC クロックを 128 分周して生成されます。FSCM クロックモニタはシステムクロックの立上りエッジをモニタします。もし FSCM の 1 サイクルの間完全にシステムクロックがない場合、クロック不良トラップをセットします。したがってクロック異常の検出時間は約 250 μs です。

FSCM が有効で発振器不良イベントとなると、FSCM はクロック不良トラップを発生し、同時にシステムクロックを FRC 発振器に切り替えます。もしデバイスがアイドルモードのときは、クロック不良トラップでウェイクアップし、通常実行モードに戻ります。ユーザーは、発振器を再起動させるか、シャットダウン制御を実行するかのどちらかのオプションを持ちます。

7.13.2.1 クリスタル発振と PLL クロック源のための FSCM 遅延

システムクロック源がクリスタル発振および / もしくは PLL で供給される場合、POR と PWRT 遅延時間の後で、小さな遅延 T_{FSCM} が自動的に挿入されます。FSCM はこの遅延時間が経過しないとシステムクロック源のモニターを開始しません。FSCM 遅延時間は通常 100 μs で、発振器および / もしくは PLL を安定化させるための追加時間を提供します。

7.13.3 デバイス スタート アップ タイム チャートの例

図 7-5 から 図 7-8 に種々の動作時のデバイス リセットに関連する遅延タイム チャートを示します。個々の遅延の特性値は 7.15 項「電気的特性」にあります。

図 7-5 にクリスタル発振がシステム クロックに使用されている場合の遅延タイム チャートを示します。内部電源オンリセットパルスが VPOR スレッショルドで発生します。TPOR、TSTARTUP、TRST 遅延が内部電源オンリセットパルス後に発生します。

FSCM が有効なら、FSCM 遅延後にシステム クロックのモニタを開始します。図 7-5 はフェールセーフ クロック モニタ (FSCM) が有効になる前に発振器スタートアップ遅延 (TOST) が経過する場合を示しています。しかし、この遅延は、FSCM が有効になるまで経過しない可能性があります。このとき変更するクロック源が有効でない場合は、デバイスは自動的に FRC 発振器に切り替わり、クロック不良トラップが発生します。ユーザーは、トラップ サービス ルーチン内で希望するクロックへの切り替えができます。

図 7-5: デバイス リセット時の遅延、クリスタル発振 (XT/HS/SOSC) クロック源の場合

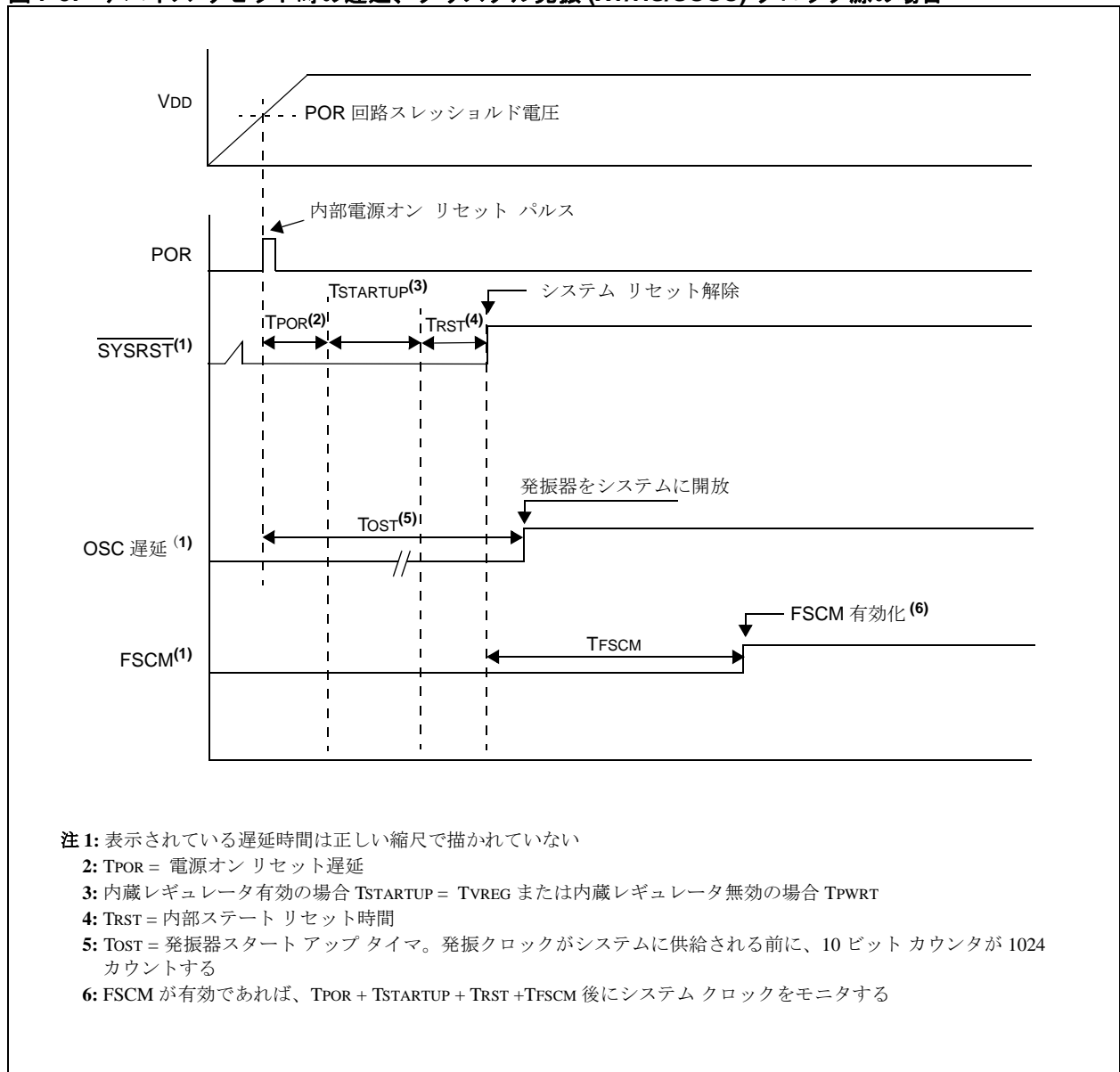


図 7-6 に示すリセット タイム チャートは、PLL が有効で発振器安定化の時間が延長されることを除いて図 7-5 に示されたものと同様です。

FSCM が有効な場合は、TfSCM 経過後にシステム クロック モニタを開始します。図 7-6 は、フェールセーフ クロック モニタ (FSCM) が有効になる前に発振器と PLL 遅延が経過する場合を示しています。しかし、この遅延は、FSCM が有効になるまで終わらない可能性があります。このとき変更するクロック源が有効でない場合は、デバイスは自動的に FRC 発振器に切り替わり、クロック不良トラップが発生します。ユーザーは、トラップ サービス ルーチン内で希望するクロックへの切り替えができます。

図 7-6: デバイス リセット時の遅延、クリスタル発振 (XT/HS/SOSC) + PLL クロック源の場合

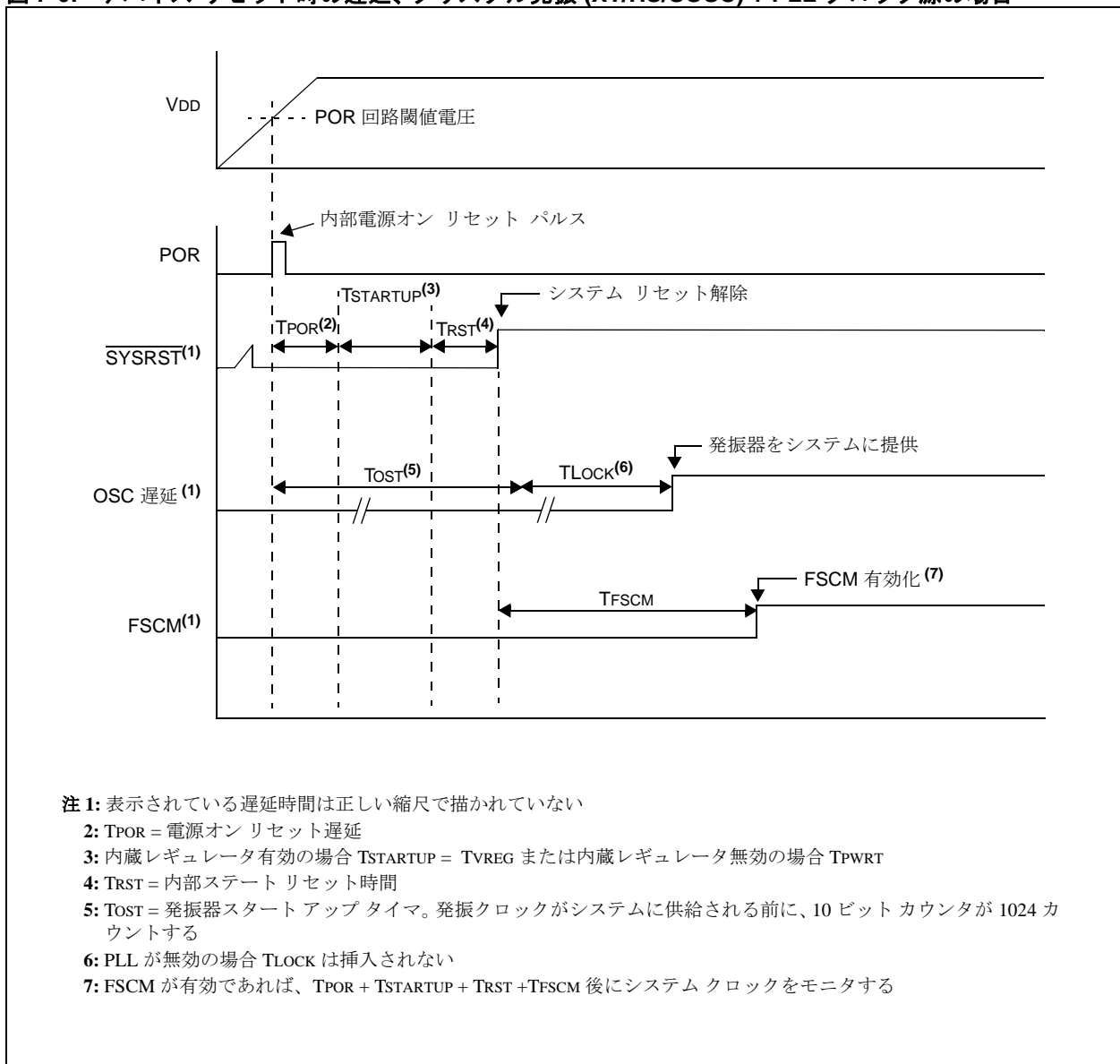


図 7-7 のリセットタイム チャートは、ECPLL クロック源をシステム クロックとして使用している場合の例を示します。この例は発振器スタートアップタイム遅延 T_{OST} が発生しないことを除いて図 7-6 に示されたものと同様です。

図 7-7: デバイス リセット 遅延、ECPLL クロック (7) の場合

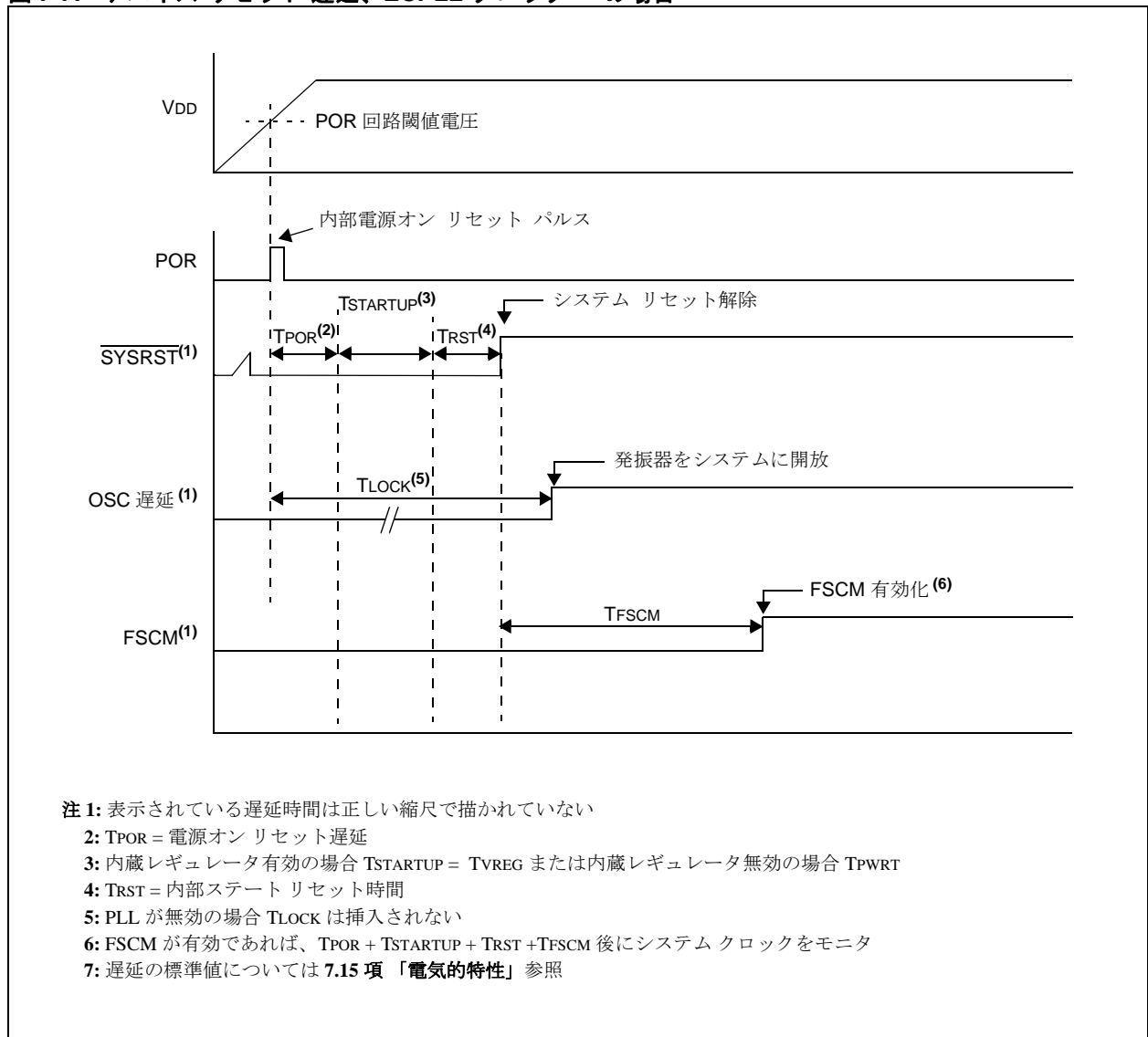
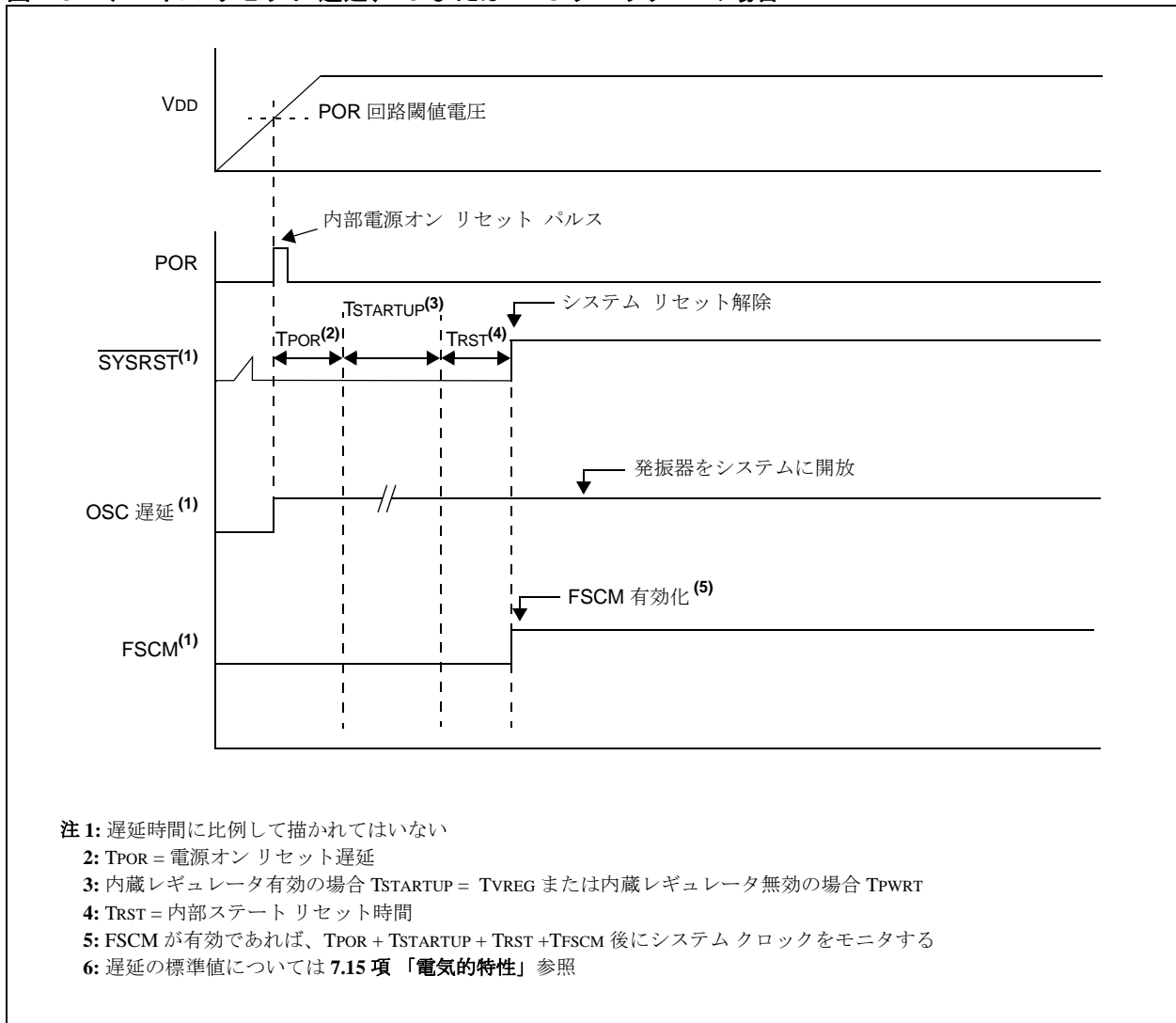


図 7-8 は、PLL なし EC か、FRC がシステム クロック源として選択された場合のリセット タイム チャート例を示します。

図 7-8: デバイス リセット 遅延、EC または FRC クロック (6) の場合



7.14 特殊機能レジスタのリセット状態

PIC24F CPU と周辺モジュールに関連するほとんどの特殊機能レジスタ (SFR) は、デバイスリセット時には特定の値にリセットされます。SFR は周辺モジュールもしくは CPU ごとにグループ分けされ、デバイスリセット値はこのマニュアルのそれぞれの章で規定されています。それぞれの SFR のリセット値はリセットの種類に依存しませんが、2つのレジスタは例外です。リセット制御レジスタ RCON のリセット値は、デバイスリセットの種類に依存します。発振器制御レジスタ OSCCON のリセット値は、リセットの種類と FOSC デバイス コンフィギュレーションレジスタ (表 7-1 参照) 内の発振器コンフィギュレーションビットのプログラム値に依存します。

7.15 電気的特性

図 7-9: ブラウンアウトリセット特性

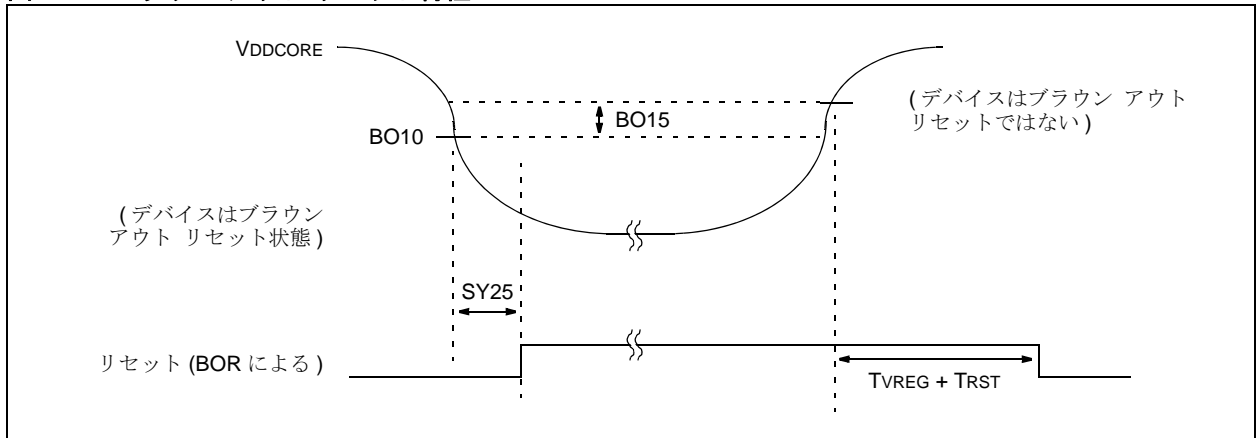
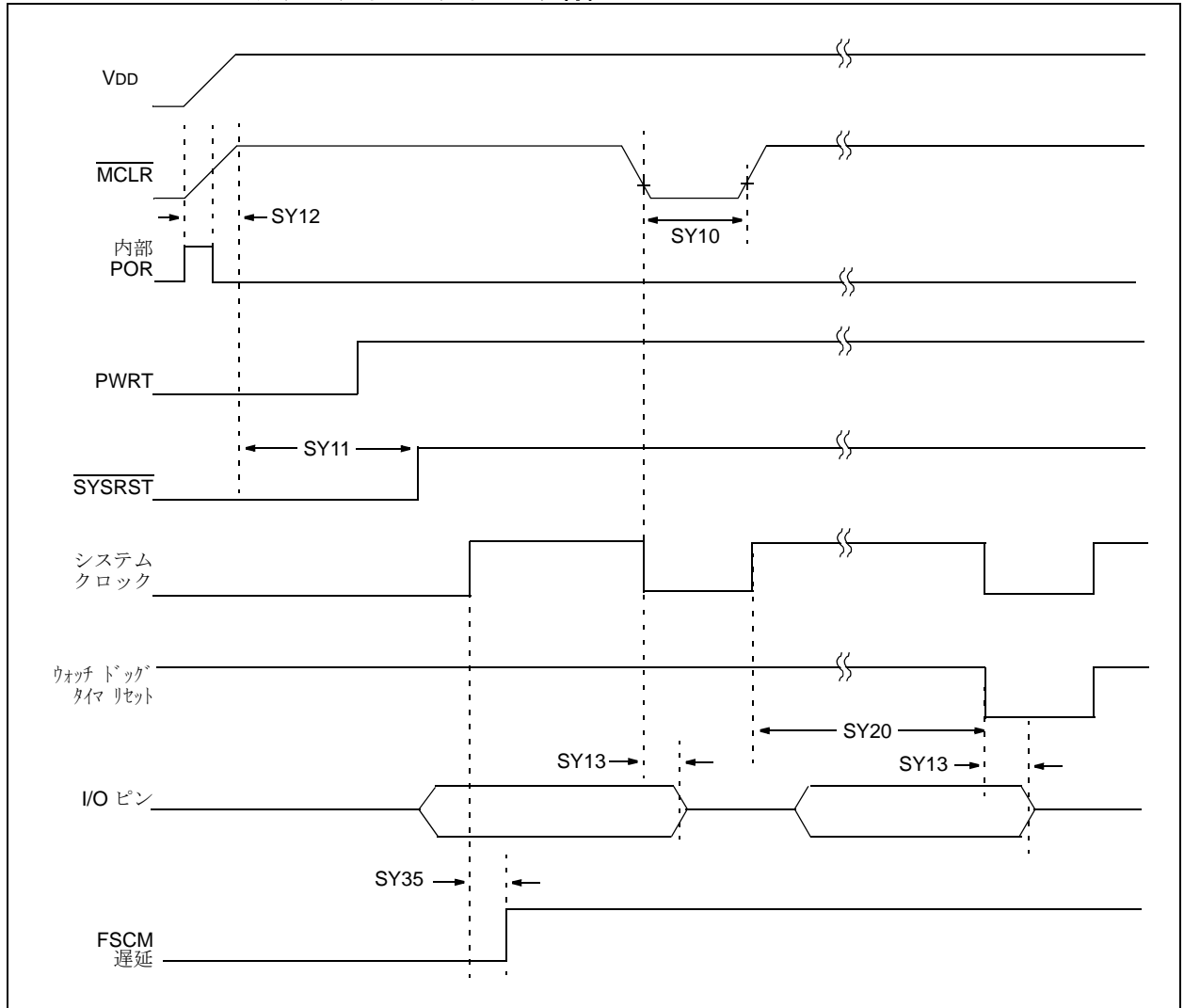


図 7-10: リセット、ウォッチドッグタイマ、発振器スタートアップタイム、パワーアップタイムのタイミング特性



PIC24F ファミリ リファレンス マニュアル

表 7-5: 電気的特性 : BOR

DC 特性		標準動作条件 : 2.0V ~ 3.6V (記載のない場合) 動作温度 -40°C ≤ Ta ≤ +85°C 工業用					
パラメータ No.	記号	特性	Min	Typ ⁽¹⁾	Max	単位	条件
BO10	VBOR	VDD 遷移におけるの BOR 電圧 High から Low	2.3	—	2.7	V	電圧レギュレータは有効
BO15	VBHYS	BOR ヒステリシス	—	5	—	mV	

注 1: Typ 欄のデータは記載のない限り 3.3V、25 °Cでの値です。パラメータは設計ガイド用のみで未テスト。

表 7-6: リセット、ウォッチ ドッグ タイマ、発振器スタート アップ タイマ、パワー アップ タイマ、ブラウンアウト リセット タイミング要求仕様

AC 特性		標準動作条件 : 2.0V ~ 3.6V (記載のない場合) 動作温度 -40°C ≤ Ta ≤ +85°C 工業用					
パラメータ No.	記号	特性	Min	Typ ⁽¹⁾	Max	単位	条件
SY10	TmCL	MCLR パルス幅 (low)	2	—	—	μs	
SY11	TPWRT	パワー アップ タイマ期間	50	64	90	ms	電圧レギュレータ有効
SY12	TPOR	電源オンリセット遅延	1	5	10	μs	
SY13	TIOZ	MCLR Low またはウォッチ ドッグ タイマ リセットからの I/O ハイ インピーダンス時間	—	—	100	ns	
SY20	TWDT	ウォッチ ドッグ タイマ タイムアウト期間	0.85 3.4	1.0 4.0	1.15 4.6	ms	1:32 prescaler 1:128 prescaler
SY25	TBOR	ブラウンアウトリセット パルス幅	1	—	—	μs	VDD ≤ VBOR, voltage regulator disabled
SY35	TFSCM	フェールセーフクロック モニタ遅延	—	2	2.3	μs	
	TRST	コンフィギュレーション更新時間	—	7.8	9.8	μs	
	TVREG	内蔵電圧レギュレータ出力遅延	—	10	—	μs	

注 1: 「Typ」欄のデータは記載のない限り 3.3V、25 °Cでの値です。

7.16 設計の秘訣

質問 1: RCON レジスタはどのように使用するのですか？

回答：リセット後の初期化コードで RCON の中身をチェックし、リセット要因を確認して下さい。アプリケーションによっては、この情報はリセットを発生させる要因を是正するための適切なアクションをとるために使用できます。RCON レジスタ内のすべてのリセットステータスビットは、次のデバイスリセット後に RCON の値が意味のある結果であることを確実にするために、読み出した後にクリアして下さい。

質問 2: BOR モジュールは、私のアプリケーションに必要なプログラマブルトリップポイントを持っていません。これの対策はどのようにすればよいですか？

回答：BOR 回路はデバイスの V/f 仕様に違反することを避けるように使用します。多くのデバイスでは、フルスピード動作のために必要な最小電圧は非常に高くなります。したがって、プログラマブル BOR 回路は、複数のスピード用のオプションが必要とされます。PIC24F デバイスは非常に低い電圧でフルスピードをサポートしていますので、単純な BOR モジュールで十分です。デバイス動作電圧がフルスピード動作が不可能な電圧まで下がった場合には、BOR が有効となります。デバイスが BOR 状態になれば、フルスピード動作が有効になっているということです。

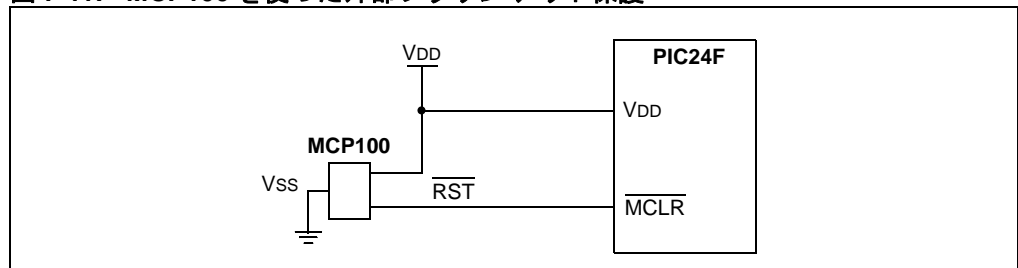
質問 3: 16 ビットアドレスを持った W レジスタを初期化しましたが、レジスタはアドレスとして使用しようとすると、デバイスがリセットしてしまうようですが何故でしょうか？

回答：すべてのデータアドレスは 16 ビット値ですので、W レジスタ未初期化検出回路は、ワード単位でロードした場合にのみ、レジスタが正常に初期化されていると認識します。従って、バイトモードで 2 バイトを正常に W レジスタに書き込みできたとしても、正常に動作せず、結果として W レジスタがアドレスポインタとして使われた時点で、デバイスリセットが発生します。

質問 4: 内蔵電圧レギュレータを無効としていますが、BOR 保護をするために何をすべきですか？

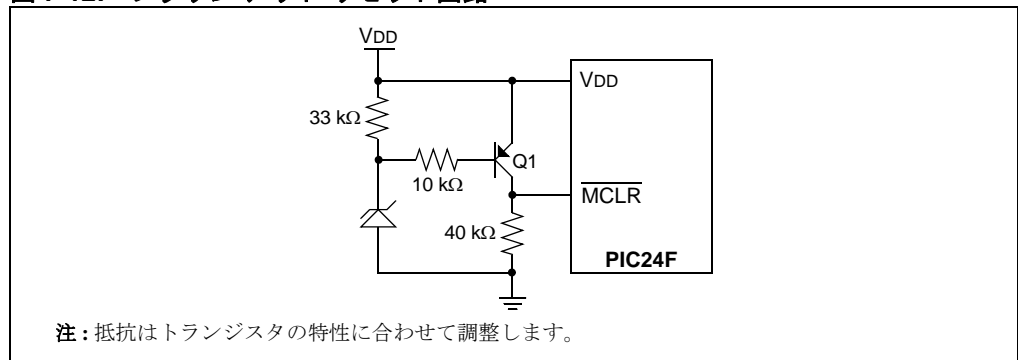
回答：次の図に外部ブラウンアウト保護ができる回路例を示します。

図 7-11: MCP100 を使った外部ブラウンアウト保護



この回路は VDD が (Vz + 0.7V) を下回るとリセットを発生します。ここで Vz はゼナー電圧。

図 7-12: ブラウンアウトリセット回路



7.17 関連するアプリケーションノート

この項では、マニュアルのこの章に関連するアプリケーションノートをリストアップします。これらのアプリケーションノートは、特に PIC24F デバイス ファミリー用に書かれているわけではありませんが、その概念は適切であり、変更あるいは制限事項も考慮に入れて使用可能です。現在、CPU に関連するアプリケーションノートは次の通りです。

タイトル	アプリケーションノート #
電源オン時のトラブルシューティング	AN607
電源オン時の課題	AN522

注: PIC24F ファミリ デバイスに関するその他のアプリケーションノートやコード例についてはマイクロチップ ウェブ サイト (www.microchip.com) をご覧下さい。

7.18 改版履歴

リビジョン A (2006 年 9 月)

本文書の初版リリース。

ノート: